第1章

エラー訂正回路設計のポイント

――Design Wave 設計コンテスト 2006 総評

和田知久，林 輝彦

本誌2006年5月号において，Design Wave設計コンテスト2006の入賞者を発表した．ここでは，課題に対する回路設計上のポイントを解説する．Professional部門の入賞者を決定するにあたっては，技術的な評価のために，エンジニアの方々にご協力いただいた．その審査委員のひとりである林輝彦氏に，Professional部門の総評をお願いした．もう一方のStudent部門については，琉球大学にご協力いただき，同大学共催の「LSIデザインコンテスト2006」を同部門とさせていただいている．主催者であり，かつコンテスト課題作成者でもある和田知久氏に，Student部門の総評をお願いした．

（編集部）

1. コンテストの課題と設計のポイント

和田知久

昨年度（2005年度）はディジタル方式のFMレシーバ回路を設計し，ディジタル・データの伝送を行いました．しかし，実際のディジタル通信ではエラー訂正技術を用いて，伝送されたディジタル・データに対してエラー訂正処理を行い，データ転送の信頼性を向上させています．最近，シャノンの理論限界に迫る高性能なエラー訂正方式としてターボ符号や低密度パリティ検査符号が注目され，一部で実用化が始まっています．ターボ符号では送信側（エンコーダ）の構成は単純ですが，受信側（デコーダ）で同じデータに対して繰り返し処理し，エラー訂正能力を向上させています．

本年度の課題は，ターボ符号デコーダと似た繰り返し処理を用いる2次元積符号のデコーダ回路でした．図1にシステム構成図を示します．

システムは大きく分けて，送信情報生成部（SigGen），そのSigGenの出力の情報ビットにパリティ検査ビットを付加するパリティ付加部（ParityAdd），‘0’もしくは‘1’のディジタル値をそれぞれ1.0，－1.0に変換するBPSK変調部（BPSK），実際のワイヤレス伝送時のノイズの印加に対応するノイズ印加部（NoiseAdd），そのノイズの印加された

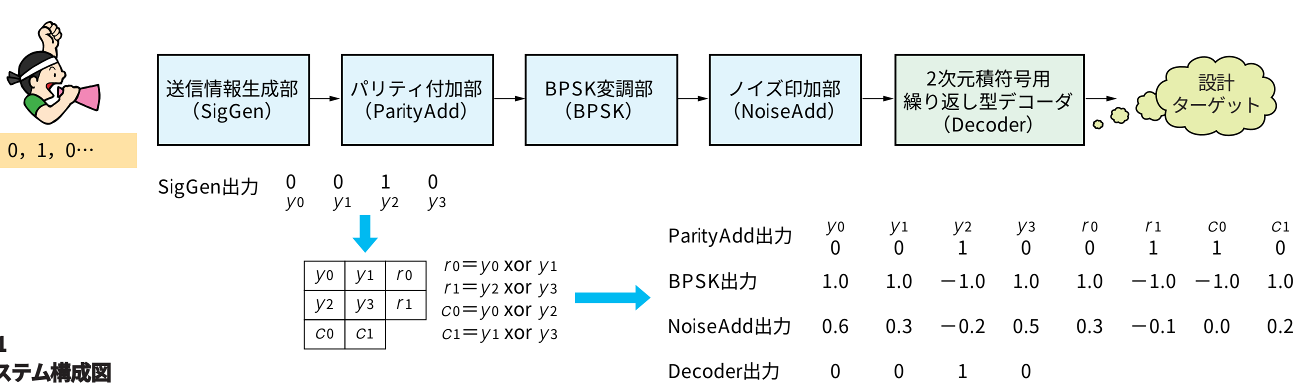


図1 システム構成図

KeyWord ディジタル通信，エラー訂正，シャノン，ターボ符号，低密度パリティ検査符号，2次元積符号，BER，MATLAB，最大復調方式

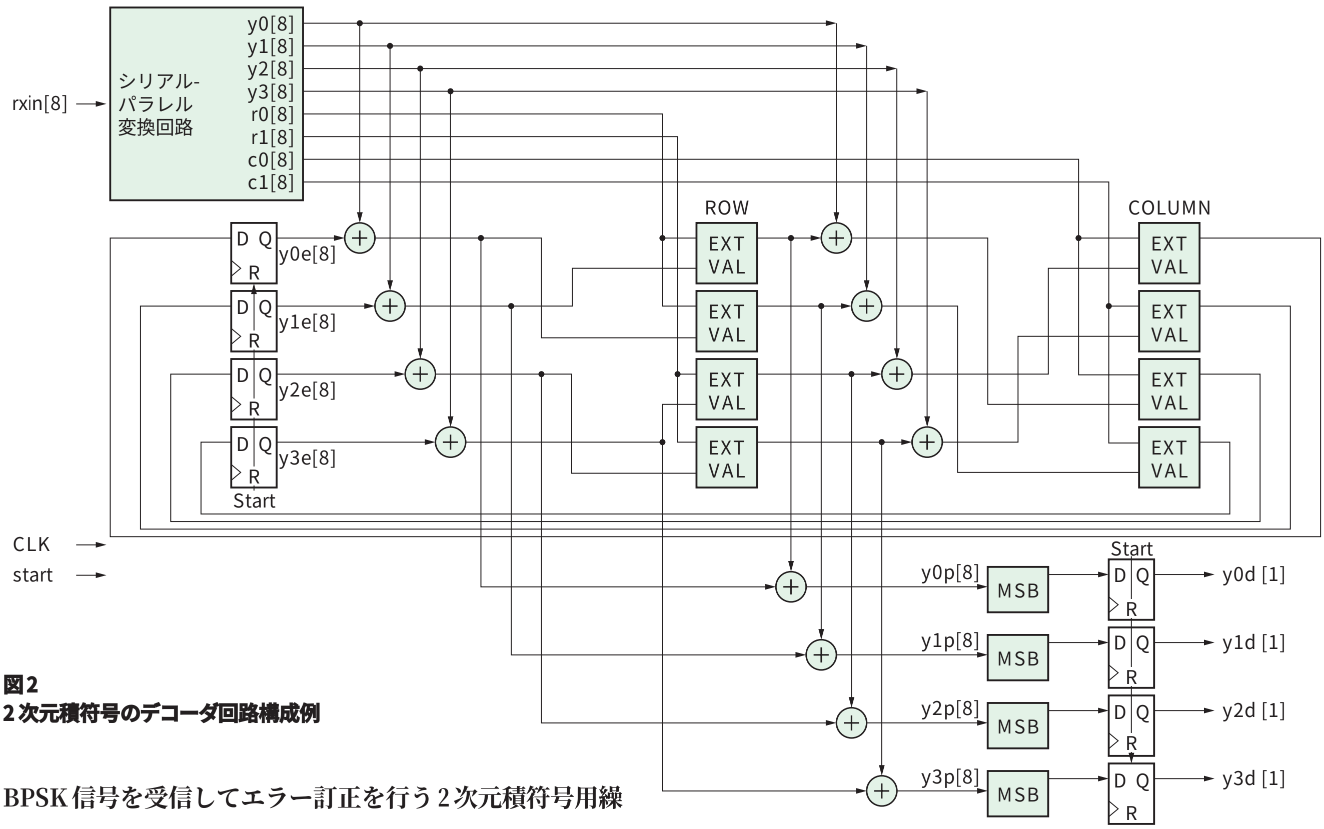


図2
2次元積符号のデコーダ回路構成例

BPSK信号を受信してエラー訂正を行う2次元積符号用繰り返し型デコーダから構成されます．

図1に示すように，データ処理の単位は8個のデータです．8個のデータ受信後に繰り返しのループ回路でエラー訂正処理を行うことで，処理する値が収束し，収束後のデータを利用して元の送信データを復号します．このループ中の重要な構成回路は，外部値計算回路（EXTVAL）です．本来のアルゴリズムでは対数や指数計算が必要な算術ブロックですが，近似により加算や大小比較で回路が実現でき，LSIの回路化に適しています．

コンテストでは，図2のような設計仕様書の繰り返し型の回路をいかに最適化するかというアプローチと，まったく異なるエラー訂正回路を実現するアプローチの2種類に設計方針が分かれました．

2. Professional 部門総評

林 輝彦

Design Wave設計コンテスト2006 Professional部門では，応募の約半数が仕様書で示された繰り返し型デコーダのアルゴリズムを採用したものであり，残りの約半数が繰り返し型デコーダとは異なる独自のアルゴリズムによるデコーダでした．

● 審査結果

「Design Wave 設計コンテスト 2006」の入賞者は以下の方に決定しました．

- 1位　田中宏昌
- 2位　チームたま（匿名）
- 3位　チーム Veritak（菅原孝幸，陸偉良，菅原明美）

（敬称略）

賞品として，第1位の田中氏には，沖縄における発表会講演を兼ねた2泊3日の沖縄旅行のほか，副賞のハイビジョン対応液晶テレビ（シャープLC-20EX1-S）が，第2位のチームたまには一眼レフ・ディジタル・カメラ（ニコンD50 レンズキット＋1GバイトSDメモリ）が，第3位のチーム Veritakにはプリンタ複合機（キヤノンMP830）が贈られました．

● 「総当たり」方式によるエラー訂正回路

審査を進める中で，繰り返し型デコーダを用いない独自の方式でエラー訂正に挑んだチームの設計は，実はすべて基

本的に似た考えかたによるものであることがわかりました．

2次元積符号は4ビットの送信情報に4ビットのパリティ・ビットを合わせ，ひとまとめにして送信します．4ビットを一つの単位としているので，4ビットの取りうる組み合わせである16通りの送信のしかたがあることになります．したがって，ノイズが重畳されて実際に受信された信号と16通りの理想的な信号をなんらかの判定基準で比較し，もっとも似た信号を16通りの中から選び出し，それがもともとの送信情報であったと判断できることになります．

この考えかたは，とにかく可能性のある信号を「総当たり」で調べて判断しようとする方法です．やや力ずくのようにも見えますが，送信情報の取りうる可能性があまり多くない場合は，あいまいさを除外した方法であり，事後確率を調べるという観点から見て，ある意味では究極の方式と考えることができます．問題は，なんらかの判定基準を16通りの組み合わせのすべてに対して適用し，それらを漏れなく比較し，もっとも確からしい値を選定することです．うまく回路に実現しないと16通りの組み合わせといってもハードウェアの規模が非常に大きくなってしまう可能性があります．

総当たり方式を採用したチームの多くは，16通りの送信信号の中から受信信号にもっとも似た信号を選び出す方法として，以下のように送信信号xと受信信号yの符合間の距離Dを求める方法を採用しています．

$$D = \sqrt{\sum(x_i - y_i)^2}$$

符合間の距離の絶対的な大きさを求める必要はなく，相対的な大きさを比較すればよいので，平方根の計算は不要であること，また，x_i^2とy_i^2の項は16通りの比較において変化しないことに気がつけば，結局は以下のD_sを求めて比較すればよいことになります．

表1　課題で用意された信号に対する繰り返し型デコーダと総当たり型デコーダのBER特性

総当たり型デコーダのほうが繰り返し型デコーダより5%～12%，BERが低い結果となった．

信号のS/N(dB)	繰り返し型デコーダ 誤り復調ビット数	繰り返し型デコーダ BER	総当たり型デコーダ 誤り復調ビット数	総当たり型デコーダ BER	エラー訂正前 誤り復調ビット数	エラー訂正前 BER
0	735	0.0735	700	0.0700	1626	0.1626
3	141	0.0141	124	0.0124	777	0.0777
6	2	0.0002	2	0.0002	232	0.0232
9	0	0	0	0	27	0.0027
100	0	0	0	0	0	0

$$D_s = \sum x_i y_i$$

送信信号のx_iは＋1あるいは－1の値しか取らないので，実際には乗算の計算も必要ありません．x_iの値が＋1のときはy_iの値をアキュムレータに対して加算，x_iの値が－1のときは減算することで目的を達成できることになります．

「符合間の距離を最小とする送信信号を推定する」という考えかたではなく，「受信信号に16通りのキーを差し込んで開錠できるものを受信信号とする」という考えかたを使った設計もありました．キーとしていくつかの形状を評価したうえで，方形波の形状を持ったキーを採用していました．この場合，D_sを求める方法に似た処理になることを考えると，アルゴリズムとしては総当たり方式に分類できると判断しました．

また，符合間の距離の計算として，DあるいはD_sを求めるのではなく，受信信号と送信信号について差の絶対値をとり，その総和を使って評価する設計もありました．すなわち，以下のLを求めることになります．

$$L = \sum|x_i - y_i|$$

この方式を採用した場合，エラーを訂正できず誤ってデコードされるビット数は，S/N＝0dBの場合で788と報告されていました．D_sを使った場合に誤って復調されるビット数は，S/N＝0dBの場合で700になるので，やや性能が劣ることがわかります．

● 繰り返し型と総当たり型の比較

総当たり型デコーダの性能を，仕様書で示された繰り返し型デコーダと比較してみることにします．あらかじめ用意されているS/Nの異なる10,000ビットの信号を復号した場合の誤り復調ビット数BER（bit error rate）は，**表1**のようになります．ここでは総当たり型デコーダとして16通りの可能性のある送信データに対し，受信値との符合間の距離Dを求めてそれを最小とするものを選ぶ方式とします．この結果によれば，S/N＝0dBの場合は5%程度，S/N＝3dBの場合は12%程度，総当たり型デコーダのほうが繰り返し型デコーダよりもBERが低い結果となり，デコーダとしての性能が優れているように見えます．

しかし，これらの二つのデコーダで明確な性能差があるのか，信頼性をもって判断するには，信号の例として用意されたデータのビット数，10,000ビットは少なすぎる可能

性があります．実際，10,000ビットの送信データをいくつか作成してBERを比較すると，その試行ごとにかなり異なるBERが算出されます．

今回のコンテストではS/Nの異なる信号をあらかじめ用意し，応募に際し，設計した回路でデコードして誤って復号されるビットの数をレポートすることを求めています．これは設計された回路が正しく動作していることを確認するための最初の「土俵」を提供することを目的としていたわけです．しかし，アルゴリズムとしての性能を評価するためには，10,000ビットという標本の大きさは十分ではありません．この点でC言語のプログラムによって加法性白色ガウス・ノイズを作成し，信頼できるBERの測定が得られるまで，送信データのビット数を増加させて評価を行ったチームがありました（ただしこのチームの場合，課題の10,000ビットの信号例のBERが報告されておらず，ほかのチームとの比較が困難となった）．

信頼性をもってBERの値を判断するために必要なサンプル数（ビット数）を理論的に議論することもできますが，今回は送受信するビット数を100万ビット程度まで増加させて繰り返し型デコーダと総当たり型デコーダを評価してみました．

表計算ソフトウェアによる試行は手軽ですが，多大なデータ，ビット数を扱うのには不向きです．ここではMATLABのM-codeで記述したモデル（**リスト1**）を用い，ランダムに発生した2次元積符号に加法性白色ガウス・ノイズ，AWGNを加えた信号を与え，誤ってデコードされるビット数を数える方法を採りました．

表2は2種類のデコーダに対し，1回の試行について4×10^6ビットのデータを送受信してBERを測定したものです．今回の2次元積符号では4ビットのデータを一つのまとまり（シンボル）として，4ビットのパリティを付加しています．ですので，1回の試行で1×10^6シンボル，実際に送受信されるデータはパリティ・ビットを含めて8×10^6ビットとなります．この試行をそれぞれのS/Nについて10回繰り返しています（10回の試行で送受信される総ビット数は，4×10^7）．各試行ごとに測定されるBERの値の変動

リスト1
MATLAB M-codeで記述した総当たり型デコーダのシミュレーションの例
繰り返し型デコーダのシミュレーションでは，出題者の和田知久氏にM-codeをお借りした．

```
% 2D-Prod Code Min-Distance Decoder Simulation

snr =       0          % SNR in dB
sym = 1000000;         % number of symbols
%------------------------------------------------------------------------
% 2D-PROD CODE DATA GENERATION & AWGN ADDITION
rd = randint(sym,4);                   % 4 bit random data
pr1 = xor (rd(:,1), rd(:,2));          % parity bits
pr2 = xor (rd(:,3), rd(:,4));
pc1 = xor (rd(:,1), rd(:,3));
pc2 = xor (rd(:,2), rd(:,4));

td = [rd pr1 pr2 pc1 pc2];             % transmitted data
sw = 1 - 2*td;                         % BPSK modulation
awgn = 10^(-snr/20)*randn(sym,8);      % AWGN noise
rw  = sw + awgn;                       % received signal
%------------------------------------------------------------------------
% REFERENCE DATA
ref = [ 0 0 0 0; 0 0 0 1; 0 0 1 0; 0 0 1 1
        0 1 0 0; 0 1 0 1; 0 1 1 0; 0 1 1 1
        1 0 0 0; 1 0 0 1; 1 0 1 0; 1 0 1 1
        1 1 0 0; 1 1 0 1; 1 1 1 0; 1 1 1 1];
pr1r = xor (ref(:,1), ref(:,2));       % parity bits
pr2r = xor (ref(:,3), ref(:,4));
pc1r = xor (ref(:,1), ref(:,3));
pc2r = xor (ref(:,2), ref(:,4));

refc = [ref pr1r pr2r pc1r pc2r];      % reference data
refw = 1 - 2*refc;                     % BPSK modulation
%------------------------------------------------------------------------
% DECODING BY CODE DISTANCE
norm1 = [rw*refw( 1,:)' rw*refw( 2,:)' rw*refw( 3,:)' rw*refw( 4,:)'];
norm2 = [rw*refw( 5,:)' rw*refw( 6,:)' rw*refw( 7,:)' rw*refw( 8,:)'];
norm3 = [rw*refw( 9,:)' rw*refw(10,:)' rw*refw(11,:)' rw*refw(12,:)'];
norm4 = [rw*refw(13,:)' rw*refw(14,:)' rw*refw(15,:)' rw*refw(16,:)'];
norm = [norm1 norm2 norm3 norm4];      % code distance

[ya xa] = max(norm');                  % find min. distance
indx = xa';
dcod = ref(indx,:);                    % decoded output
terr = sum(sum(xor(dcod, rd)));        % number of errors
ber = terr/(sym*4)                     % BER calculation
```

表2 ビット数を増加させて比較した2種類のデコーダのBER特性

2種類のデコーダのBER特性の差は1%程度となった．

＊各試行は4×10^6ビット（パリティをあわせ8×10^6ビット）を送受信した際のBER．

S/N	0dB	3dB	6dB	9dB
試行　1回目	0.0759	0.0125	0.000363	0.00000075
試行　2回目	0.0760	0.0125	0.000391	0.00000100
試行　3回目	0.0761	0.0126	0.000381	0.00000025
試行　4回目	0.0759	0.0126	0.000355	0.00000050
試行　5回目	0.0764	0.0125	0.000362	0.00000100
試行　6回目	0.0759	0.0126	0.000371	0.00000100
試行　7回目	0.0762	0.0126	0.000370	0.00000050
試行　8回目	0.0757	0.0125	0.000379	0.00000025
試行　9回目	0.0759	0.0125	0.000367	0.00000050
試行 10回目	0.0760	0.0125	0.000371	0.00000075
10回の試行の平均	0.0760	0.0125	0.000371	0.00000065
標準偏差	0.0002	0.0001	0.000010	0.00000029

（a）繰り返し型デコーダ

S/N	0dB	3dB	6dB	9dB
試行　1回目	0.0752	0.0123	0.000372	0.00000025
試行　2回目	0.0751	0.0123	0.000361	0.00000050
試行　3回目	0.0751	0.0124	0.000375	0.00000025
試行　4回目	0.0755	0.0124	0.000358	0.00000000
試行　5回目	0.0754	0.0124	0.000362	0.00000025
試行　6回目	0.0755	0.0123	0.000361	0.00000025
試行　7回目	0.0755	0.0123	0.000361	0.00000025
試行　8回目	0.0750	0.0123	0.000349	0.00000050
試行　9回目	0.0752	0.0123	0.000377	0.00000150
試行 10回目	0.0750	0.0122	0.000350	0.00000050
10回の試行の平均	0.0753	0.0123	0.000362	0.00000043
標準偏差	0.0002	0.0001	0.000010	0.00000041

（b）総当たり型デコーダ

と，標準偏差値も付記しています．

この結果によれば，繰り返し型デコーダと総当たり型デコーダの性能の差は，出題時に用意された10,000ビットの信号を使って評価した結果の差，5～12％に比べてかなり小さく，BERの値にして1％程度の差であることがわかります．どちらのデコーダもS/N＝0dBのとき0.075～0.076，S/N＝3dBのとき0.012程度のBERを達成していることになります．繰り返し型デコーダがハードウェアで実現しやすい簡素な構成をとっていながら，良好な性能を達成していることがわかります．

● 審査のポイント

課題出題時に提案された繰り返しアルゴリズムをそのまま採用し，動作速度と回路規模を最適化することで回路実装について競う形でコンテストに参加したチームと，アルゴリズムの考案，検討から開始し，総当たり方式のアルゴリズム（同一に分類されることに異論を唱えるチームがあるかもしれないが…）を適用して回路を設計したチームについては，審査にあたって若干，扱いを変えるのがフェアであると考えました．

繰り返し型を採用したチームに対しては，回路の詳細設計，動作速度，回路規模，ハードウェア（FPGA）による実検証の進めかたをより詳細に比較して審査するようにしました．一方，総当たり型を採用したチームに対しては，デコーダの性能評価に関する議論の正確さ，詳細さを比較したうえで回路実現の手法を審査するようにしました．実際，この二つのグループでは，レポート内容のバランスがやや異なっていました．

入賞の3チームは，まず，繰り返し型で設計したチームと総当たり型で設計したチームからそれぞれもっとも優れた設計と思われるチームを決定し，3位のチームは次点のチームから選出しました．

繰り返し型でもっとも評価の高かったチームと総当たり型でもっとも評価の高かったチームの両者から1位を決定することは難しい判断になりました．マイクロプログラム方式に近いシーケンサと基本データパス，FPGAの特徴的なブロックであるメモリを使いこなし，たいへんコンパクトな回路を完成させた田中氏を1位としています．田中氏の場合，繰り返し型デコーダだけを最初から採用したのではなく，総当たり式アルゴリズムについても検討していたことも評価しました．

2位のチームは，アルゴリズムの式による検討を正確に行ったうえで，ともすれば回路が大きくなりやすい総当たり型デコーダを，回路規模32.3Unit，遅延時間0.94Unitで実現しています．この大きさと遅延時間を達成できているチームは，繰り返し型アルゴリズムを採用していたチームでも多くありません．

今回の課題は，信号を復調するためのデコーダであり，エラー訂正を行う回路です．このため，その性能評価として復調後のエラーの数（BERの値）が明らかに大きくなってしまった設計については，審査上，大幅に減点せざるをえませんでした．先に検討したようにS/N＝ 0dBのときのBERは，どちらのアルゴリズムであっても0.075～0.076程度と考えられます．BERの悪化をどの程度まで許容して処理系を簡素化するかは，最終的にはこのデコーダを使用するアプリケーションによって決定されるべきものですが，回路を小型化するために，この本来のBERより10%以上妥協することは行き過ぎであると今回は判断しました．

今回のコンテストの応募の中には，学生部門の応募も含め，$S/N = 0$dBのときのエラー数として400台の値を報告したチームがありました．シャノン限界を超えたであろう性能（BER = 0.04）はたいへん興味を抱くものです．しかし，審査委員会でも検討し，ほかのチームでも用いられているアルゴリズムを採用しながらここまでの性能向上は，BER算出の際になんらかの誤りがあったと考えざるをえませんでした．

はやし・てるひこ
(株)ソリトンシステムズ

3. Student部門の総評

和田知久

2006年3月17日，沖縄県那覇空港近くの沖縄産業支援センター大ホールにおいて，「第9回LSIデザインコンテストin沖縄2006」発表会・最終審査会を開催しました．本コンテストは学生を対象に，ハードウェア記述言語を用いた半導体集積回路（LSI）の設計を行うコンテストです．決められた共通課題に従いつつ，ある程度の自由度を持ちながらオリジナリティのある集積回路を設計することを特徴とします．課題はなるべく現実的で，かつ，その時節にホットな設計課題を，初心者の学生でも対応できるようにくふうされています．

学生向けのコンテストは9回目です．昨年と同様に，コンテスト発表会の前に「LSIマーケットの動向と世界戦略」という基調講演と「沖縄シリコンクラスター構想の可能性」というテーマのパネル・ディスカッションをあわせて開催しました．

ホームページ(1)でコンテストの告知を行い，本誌の設計コンテストと協力して，1月31日の締め切りまでに沖縄県内50名，沖縄県以外の国内24名，海外21名，合計95名の学生の参加がありました．参加団体は琉球大学，東京大学，会津大学，千葉大学，大分工科短期大学校，九州工業大学，大阪大学，四国職業能力開発大学校，京都大学，長崎大学，九州大学，早稲田大学，そして国外よりインドネシアのInstitut Teknologi Bandung，韓国のChosun University，カナダのMcMaster Universityです．

事前選考の結果，国外の2チームを含む8チームの代表者を沖縄に招待し，琉球大学の2チーム，そして社会人の優勝チーム1チームと合わせて計11チームによる発表会を行いました．

● 審査結果

Student部門では，発表チームのほとんどが設計仕様書ベースの繰り返し型を前提に回路削減などのくふうを行ったものでした．今回は課題がエラー訂正ということで，実際にFPGAで実装してくるチームが多数ありました．その中にはD-A変換，A-D変換を利用して実際に信号の伝送を試みたチームがあり，コンテストで高得点を上げていました．また，実際のラジコン戦車のコントローラに課題のエラー訂正回路を組み込んで，戦車を動かすデモンストレーションを行ったチームもあり，発表会はかなり盛り上がりました．

課題のテストベンチとしては，8ビットの信号を用意しましたが，回路規模を削減するために，ビット精度とエラー訂正能力を調査し，ビット数を低減して回路規模を削減したり，複数必要なEXTVAL回路を共用して回路規模を削減するくふうがみられました．

審査の結果，千葉大学のチーム マッハ255が優勝を勝ち取りました．千葉大学の若林氏は昨年の優勝チームの一員でもあり，2連覇が初めて達成されました．また準優勝として，東京大学のチームISHI，Institut Teknologi BandungのチームARJUNAがそれぞれ選ばれました．海外学生の入賞は，初めてのことです．ただし，Institut Teknologi Bandungからは毎年多数の優秀な応募がありました．このほか，琉球大学情報工学科のチーム炭酸ボンベとチームARITHに学科長奨励賞が贈られました．

- 優勝：Outstanding Design Award
  チーム マッハ255（千葉大学 修士1年 若林秀明）
- 準優勝：Special Feature Award
  チームISHI（東京大学 修士2年 石井康雄）
- 準優勝：Special Feature Award
  チームARJUNA（Institut Teknologi Bandung，4年，Albert Tumewu，Pardi Banjarnahor，Arthur Parsaoran）
- 学科長奨励賞：Faculty Chair Special Award
  チームARITH
  （琉球大学 2年，上門康太，仲間祐貴，野原健太）
  チーム炭酸ボンベ
  （琉球大学 2年，友寄雄一朗，大城和也，上原直久）

（敬称略）

1

● 繰り返し方式と最尤復調方式

今回のエラー訂正回路を実現する方式として，ほとんどのチームが構成例として与えられた繰り返し回路をベースとした回路構成の改良を行ってきました．その中で，チームマッハ255とチームISHIは独自方式で挑戦してきました．

今回の課題では，伝送してくるデータ・パケットのサイズは8ビットであり，それにより4ビットの情報を伝送します．そのサイズ8の受信BPSK信号からもっとも近いと判定される4ビット情報の一つをデコードします．学生用のコンテストとして情報データを小さくしていたので，このような「総当たり」のアプローチが取られ，見事優勝しました．

表3にチームISHIのアルゴリズムを示します．これも同様のアプローチです．受信BPSKデータともっとも近い送信パターンを，絶対値誤差の計算により発見し，エラー訂正を行うものです．

● EXTVALアルゴリズムの改善

出題者の本来意図していた外部値計算（EXTVAL）の改善を行ってきた代表は，Institut Teknologi Bandungのチーム ARJUNAでした．

図3にアルゴリズムを示します．Λ_eは近似前のEXTVALの式であり，Stdは課題設計例で示した近似式，MaxとMaxscaleが彼らの提案した近似式です．

表4に設計結果を示します．$S/N=0$dBの状態で，10,000ビットに対するエラー数はStdでは735ですが，Maxscaleで690という値を実現しています．これは，発表チームの中で最小のエラー数であり，与えられたテストベンチに対して最高性能を示す方式を提案しています．

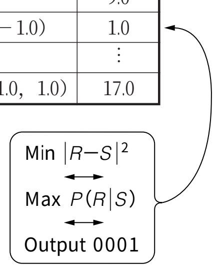
LSI設計者にとって，今回のような確率式を実装するのは簡単でも，その式を改良，すなわちアルゴリズムを改良するのは苦手なことだと思います．もし，アルゴリズムで良い改良が見つかったのならば，性能やコストで大きな差を出せることも事実です．その場合，HDLだけの知識ではどうすることもできず，信号処理や数学など，幅広い知識が必要です． チームARJUNAは，大学生らしい知的な非常に良い挑戦であったと思いました．今後とも，このような知的な勝ちかたをしてくるチームの参加を期待しています．

● FPGAに特化した設計

チームISHIは，絶対値誤差の計算で平方根の計算を使用していました．LSI設計者は，通常は平方根や三角関数など，複雑な数学を回路化すると大規模な組み合わせ回路が必要となるので簡単化に努めます．しかしこのチームは，FPGAへの実装を前提に設計しており，複雑な関数をメモリで実現していました．

表3　チームISHIの処理アルゴリズム

Y	$(S_{y0},\ S_{y1},\ S_{y2},\ S_{y3},\ S_{r0},\ S_{r1},\ S_{c0},\ S_{c1})$	$\|R-S\|^2$
0000	(1.0, 1.0, 1.0, 1.0, 1.0, 1.0, 1.0, 1.0)	9.0
0001	(1.0, 1.0, 1.0, −1.0, 1.0, −1.0, 1.0, −1.0)	1.0
⋮	⋮	⋮
1111	(−1.0, −1.0, −1.0, −1.0, 1.0, 1.0, 1.0, 1.0)	17.0



$$\Lambda_e = \ln\left(\frac{1+\exp(a+b)}{\exp(a)+\exp(b)}\right)$$

$$\text{Std}: \Lambda_e \approx \mathrm{sgn}(a*b)*\min(|a|,\ |b|)$$

$$\text{Max}: \Lambda_e \approx \max(0,\ a+b)-\max(a,\ b)$$

$$\text{Maxscale}: \Lambda_e \approx 0.75*(\max(0,\ a+b)-\max(a,\ b))$$

図3　チームARJUNAの外部値計算

表4　チームARJUNAの性能比較

回　路	エラー数					Altera社 Stratix（EP1S10F780C6ES）		Synopsys社 Design Compiler（TSMC 0.18μmプロセス） 面　積		遅　延	
	0dB	3dB	6dB	9dB	100dB	LE数	f_{max}(MHz)	μm²	norn	ns	norm
50入力XOR	—	—	—	—	—	—	—	1303.9	49	0.78	7
仕様書(Std)	735	141	2	0	0	717	33.98	37461.9	1407.7	6.31	56.6
Max	735	141	2	0	0	608	49.84	38340.1	1440.7	5.61	50.3
Max5	703	129	2	0	0	616	56.48	39893.5	1499.1	5.61	50.3
Maxscale	690	132	4	0	0	684	42.01	44540.5	1673.7	6.76	60.6

表5　発表チーム(敬称略)

	チーム名	メンバ	所　属
1	コンテストで入賞し隊	西村和洋 福田真也 中尾 教官	四国職業能力開発大学校
2	ARITH	上門康太 仲間祐貴 野原健太	琉球大学情報工学科学部2年
3	炭酸ボンベ	友寄雄一郎 上原直久 大城和也	琉球大学情報工学科学部2年
4	まっつん	日名子卓也 安藤大亮	大分県立工科短期大学
5	MSIC	Hyung Min YOON Chang hui BAEK Seok Ho SEO	Chosun Univ., Korea
6	ARJUNA	Albert TUMEWU Pardi BANJARNAHOR Arthur PARSAORAN S.	Bandung Institute of Technology, Indonesia
7	SUPER OGURI 大村湾	樋口準人 矢野智史 休坂慎也	長崎大学修士1年
8	第12戦車師団	中原健太郎 菅野裕揮	京都大学修士1年
9	マッハ255	若林秀明	千葉大学修士1年
10	ISHI	石井康雄	東京大学修士2年
11	社会人代表	田中宏昌	—

最近では，FPGAに多くのメモリが内蔵されています．これを関数テーブルとして使用し，メモリの構成方法やアクセス方法をくふうしていました．今回は，そのようなアプローチがコンテストでどのように評価されるか楽しみでしたが，見事準優勝を勝ち取りました．実際のLSIでも逆数や三角関数，平方根などをROMで実装している著者にとっては，このようなアプローチも当然可能であり，良いトライであったと思いました．

● 今後の予定

このコンテストは来年以降もオープンな形で，また国際的に参加可能な形で，継続していく予定です．優秀チームの代表者を沖縄へ招待し，本年同様に参加者全員にオリジナルTシャツを，優勝・準優勝受賞者に盾を贈る予定です．ハードウェア記述言語を用いたLSIの設計に興味のある学生諸君の参加を期待しています．

琉球大学のある沖縄は本土から感覚的に遠く，このようなチャンスで学生・教官の交流を深められることは，非常に有意義だと考えます．また，とくに今回はインドネシア，カナダ，韓国からの応募があり，インドネシアと韓国の学生・教官の参加をいただきました．沖縄が地理的にほかのアジアの国々に近く，今後アジアとの連携を行っていくことが非常に重要であるということを体験を通して学べたように思います．沖縄に遊びに来たいという不純な動機も含めて歓迎しますので，ドシドシ参加してください．

なお，このコンテストは，主催の琉球大学LSIデザインコンテスト実行委員会，共催の琉球大学工学部情報工学科，沖縄産業支援センター，フロム沖縄推進機構，九州半導体イノベーション協議会，協賛のソニーLSIデザインにより実施されています．

最後に，**表5**にコンテスト発表会の参加者を，**表6**に審査員の一覧をまとめておきます．

表6　審査員(敬称略)

	所　属	名　前
審査委員長	ソニー	石川敏郎
委員	東京大学	藤田昌宏
委員	大阪大学	谷口研二
委員	九州工業大学	尾知 博
委員	長崎大学	小栗 清
委員	韓国chosun University	Kang-Hyeon Rhee
委員	インドネシア Institute Teknology Bandung	Sarwono Sutikno
委員	沖縄工業高等専門学校	鈴木龍司
委員	ソリトンシステムズ	林 輝彦
委員	CQ出版	西野直樹

1

参考・引用*文献
(1) http://www.ie.u-ryukyu.ac.jp/~wada/design06/contest2006.html
(2) http://www.ie.u-ryukyu.ac.jp/~wada/design06/conference.html

<筆者プロフィール>

和田知久．琉球大学工学部 情報工学科教授，ニックネームは「ファイヤー和田」．7年前に大手電機メーカから沖縄にやってきて，楽しく活動中．最近は大容量ディジタル通信のOFDM方式受信器，複数アンテナを用いるアダプティブ信号処理からシステム実装，多数のプロセッサを用いて実装するソフトウェア・ラジオの広い範囲を専門としている．那覇にて，LSI設計ベンチャであるマグナデザインネットのチーフ・サイエンティストも務めており，南国にて生き生きとがんばっている．

林 輝彦．根っからの「ラジオ少年」は学校卒業後，何を血迷ったか，米国系のマイクロプロセッサ会社に就職．16ビット系のコントローラ，プロセッサの開発に従事．以降，今の会社に移り，シリコン・コンパイラ，HDLシミュレータ，アナログ合成など，新しいEDAツールの普及にかかわってきたが，管理職になりつつある現在になっても設計実務から足が洗えずにいる．